

- (19) Japanese Patent Office  
(12) **Publication of Unexamined Patent Application (A)**  
(11) Disclosure Number: **Hei 3-185831**  
(43) Date of Disclosure: 1991.08.13  
(51) International Patent Classification:  
H01L 21/322  
H01L 21/205  
Examination Request Status: Examination not yet requested.  
Number of Claims: 1  
Total Pages: 5  
(21) Filing Number: Hei 1-323789  
(22) Date of Application: 1989.12.15  
(71) Applicant: Komatsu Electronic Metals Co., Ltd.  
2612-banchi Shinomiya  
Hiratsuka-shi, Kanagawa-ken  
(72) Inventor: Hiroaki YAMAMOTO  
3-202 Shonan Ryo  
812 Shinomiya  
Hiratsuka-shi, Kanagawa-ken  
(72) Inventor: Noboru SOGA  
C-102 Birasan Road  
621-2 Tokunobu  
Hiratsuka-shi, Kanagawa-ken  
(72) Inventor: Tetsuo AKAGI  
201 Kopo Takane  
635 Yamashita  
Hiratsuka-shi, Kanagawa-ken

---

## Specifications

### 1. Title of the Invention

Method for Production of a Semiconductor Device

---

### 2. Scope of the Patent Claims

- (1) A method for production of a semiconductor device comprising the steps of:  
holding a semiconductor silicon wafer in a first temperature region of 450°C to 600°C for 8 hours or less;  
raising temperature from the first temperature region to a second temperature region of 750°C to 900°C at a rate of 5°C/minute;  
holding temperature in this second temperature region for 4 hours or less; and  
forming an epitaxial layer upon the surface of this semiconductor silicon wafer after completion of holding at the second temperature region.

### **3. Detailed Explanation of the Invention**

#### **[Field of Industrial Use]**

The present invention relates to a method for production of a semiconductor device. In particular, the present invention relates a method for production of a semiconductor device using intrinsic gettering technology (referred to hereinafter as IG) for removal of impurities, etc. in a wafer prior to carrying out epitaxial layer growth upon the semiconductor silicon wafer surface.

#### **[Conventional Technology]**

Technology has been disclosed for production of a semiconductor silicon wafer for performance of epitaxial growth upon the surface of the semiconductor silicon wafer. For example, as disclosed in Publication of Examined Patent Application No. Sho 62-16537, oxygen precipitate nuclei which act as gettering sites are formed in the wafer surface layer in the vicinity of the device formation region, and the impurity gettering effect is increased. An important point for this earlier technology is that defects gather at the surface of the wafer prior to performance of epitaxial growth, so that due to heat treatment, this method is capable of omission of a polishing step (previously required prior to epitaxial growth).

#### **[Problems to be Solved by the Invention]**

However, according to the above mentioned earlier technology, after a heat treatment step at 1000°C to 1300°C, many defects are generated within the wafer that have growth considerably. Since the size of these defects is above a critical diameter capable of dissolution in the temperature range (1100°C to 1200°C) of the subsequent epitaxial growth step, such defects are left behind without further treatment, and propagation to the epitaxial layer takes place. The so-called epitaxial stacking fault phenomenon occurs. This results in the generation of defective products.

#### **[Means to Solve the Problems]**

In order to solve the above mentioned deficiencies of the conventional technology, a method for production of a semiconductor device comprises the steps of: holding a semiconductor silicon wafer in a first temperature region of 450°C to 600°C for 8 hours or less; raising temperature from the first temperature region to a second temperature region of 750°C to 900° at a rate of 5°C/minute; holding temperature in this second temperature region for 4 hours or less; and forming an epitaxial layer upon the surface of this semiconductor silicon wafer after completion of holding at the second temperature region.

#### **[Operation of the Invention]**

Since the second temperature range of the present invention is set to 750°C to 900°C, size of the formed defects is stopped at the radius capable of outward diffusion and dissolution at the temperature range of the subsequent epitaxial step. Therefore dissolution and outward diffusion of defects occurs during the epitaxial step. By this means, a defect layer of about 10  $\mu$ m thickness is formed upon the wafer surface beneath the interface with the epitaxial layer.

In the above mentioned manner, if the second temperature range is set to the conventional 1000°C to 1300°C, growth of defects occurring in the semiconductor wafer would proceed beyond the critical radius, and dissolution wouldn't occur in the environment of the subsequent epitaxial step,

so that there would be considerable risk that propagation of remnant defects wouldn't be stopped during epitaxial growth. In contrast, the second temperature range of 750°C to 900°C adopted for the present invention doesn't allow sufficient growth of defects generated throughout the entire wafer, so that dissolution occurs in the environment of the subsequent epitaxial growth step, and defects in the vicinity of the surface finally diffuse to the wafer exterior.

In this manner, the present invention uses the environment of the epitaxial growth step to simultaneously form the epitaxial layer together with the defect free layer.

Furthermore, the first temperature range (450°C to 600°C) is important as the temperature for forming the oxygen precipitate nuclei that become the nuclei of defects. Since maintenance of defect density is required, and since this density reaches near equilibrium at 8 hours, further holding at this temperature is unnecessary. The second temperature range of 750°C to 900°C is a temperature range that is adopted in order not to grow formed defects beyond the critical radius. Heating up to this temperature range at a rate of 5°C/minute or less is used due to concern for loss and lack of growth of formed defects during heat treatment at 450°C to 600°C if heating occurs rapidly at a rate in excess of 5°C/minute. Furthermore, restriction of holding of temperature within the second temperature region to 4 hours or less is necessary so that, in the temperature environment of the subsequent epitaxial step, those formed defects in the vicinity of the interface beneath the epitaxial layer are lost, while those formed defects in the wafer interior are made to grow to such an extent that they don't disappear.

#### [Working Example 1]

A mirror-surface silicon wafer containing  $14.0 \times 10^{17}$  atoms/cc oxygen (based upon the old ASTM standard) was held for 4 hours in the first temperature region (600°C). Thereafter temperature was raised at 0.5°C/minute up to the second temperature range (800°C), and temperature was then held for 2 hours. Furthermore, upon the mirror-surface wafer heat treated in this manner was grown a 5 µm thick epitaxial layer by the normal method.

The silicon wafer treated in this manner was heat treated at 1000°C for 16 hours. Then the silicon wafer was cleaved, and defects were observed.

Figure 1 is a magnified drawing of this cleaved surface. As is made clear by Figure 1, beneath the epitaxial layer of this working example, a defect free layer of 10 to 30 µm was formed with good control at the surface layer of the silicon wafer itself. Also the crystal defects that cause gettering are seen to be formed sufficiently within the interior of the wafer.

#### [Working Example 2]

An etched silicon wafer containing  $14.0 \times 10^{17}$  atoms/cc oxygen (based upon the old ASTM standard) was held for 4 hours in the first temperature region (600°C). Thereafter temperature was raised at 0.5°C/minute up to the second temperature range (800°C), and temperature was then held for 2 hours. Furthermore, the etched wafer heat treated in this manner underwent 15 µm of mirror polishing. Thereafter a 5 µm thick epitaxial layer was grown by the normal method upon this wafer.

The silicon wafer treated in this manner was heat treated at 1000°C for 16 hours. Then the silicon wafer was cleaved, and defects were observed.

Results were found to be the same as for working example 1.

Moreover, in addition to the above mentioned two working examples, various types of treatments were carried out in a similar manner by varying according to the composition of the present invention the first temperature region, the second temperature region, the holding time, and the rate of heating from the first temperature region to the second temperature region. However, nearly the same results were obtained as were seen during the above mentioned two working examples.

#### **[Reference Example 1]**

A mirror-surface silicon wafer containing  $14.0 \times 10^{17}$  atoms/cc oxygen (based upon the old ASTM standard) was held for 4 hours in the first temperature region (600°C). Thereafter temperature was raised at 0.5°C/minute up to the second temperature range (1000°C), and temperature was then held for 2 hours. Furthermore, upon the mirror-surface wafer heat treated in this manner was grown a 5  $\mu$ m thick silicon epitaxial layer by the normal method.

The silicon wafer treated in this manner was heat treated at 1000°C for 16 hours. Then the silicon wafer was cleaved, and defects were observed.

Figure 2 is a magnified drawing of this cleaved surface. As is made clear by Figure 2, beneath the epitaxial layer of this reference example, almost no defect free layer was formed at the surface layer of the silicon wafer itself. Numerous defects were seen to protrude into the epitaxial layer.

In other words, when the temperature equivalent to the second temperature region is 1000°C, crystal defects growth progresses to a large size. During the epitaxial step, defects remain beneath the interface with the epitaxial layer, and it is understood that defect protrude into the epitaxial layer which is required in the end to be defect free.

#### **[Reference Example 2]**

An etched silicon wafer containing  $18.0 \times 10^{17}$  atoms/cc oxygen (based upon the old ASTM standard) was held for 4 hours in the first temperature region (600°C). Thereafter temperature was raised at 0.5°C/minute up to the second temperature range (1000°C), and temperature was then held for 2 hours. Furthermore, the etched wafer heat treated in this manner underwent 15  $\mu$ m of mirror polishing. Thereafter a 5  $\mu$ m thick epitaxial layer was grown by the normal method upon this wafer.

The silicon wafer treated in this manner was heat treated at 1000°C for 16 hours. Then the silicon wafer was cleaved, and defects were observed.

Results were found to be the same as for reference example 1.

Moreover, in addition to the above mentioned two reference examples, various types of treatments were carried out in a similar manner while setting the temperature equivalent to the second temperature region to at least 1000°C by varying according to the composition of the present invention the first temperature region, the holding time, and the rate of heating from the first temperature region to the second temperature region. However, nearly the same results were obtained as were seen during the above mentioned two reference examples.

#### **[Results of the Invention]**

Since defects can be controlled by setting the second temperature region to 750°C to 900°C according to the production method of the present invention. Defects dissolve or diffuse outwardly in the temperature environment of the subsequent epitaxial step so that a defect free layer can be formed

beneath the interface with the epitaxial layer. Therefore defects don't protrude into the epitaxial layer. Therefore product yield improves, and productivity increases.

#### 4. Simple Explanation of Figures

Figure 1 is a magnified cut-cross-sectional image of a silicon wafer produced using the manufacturing method according to the present invention.

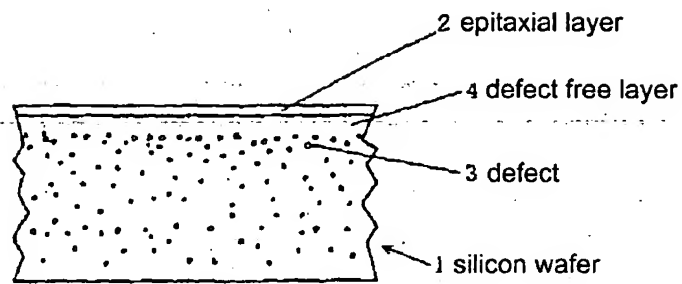
Figure 2 is a magnified cut-cross-sectional image of a silicon wafer produced using the conventional manufacturing method.

- |   |      |                   |
|---|------|-------------------|
| 1 | .... | silicon wafer     |
| 2 | .... | epitaxial layer   |
| 3 | .... | defect            |
| 4 | .... | defect free layer |

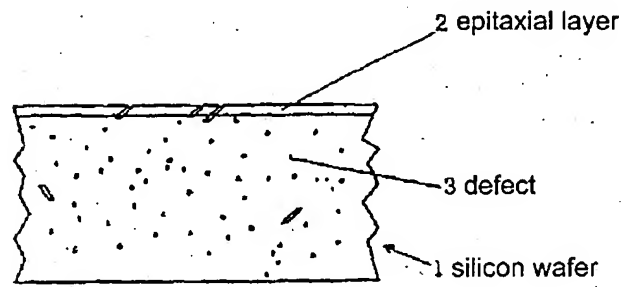
Applicant:                      Komatsu Electronic Metals Co., Ltd.

(Separate Sheet)

Corrected Figures



[Figure 1]



[Figure 2]

Amendment of Proceedings (formal)

August 21st, 1990

Commissioner of the Patent Office

1. Case Identification

Patent Filing No. Hei 1-323789

2. Title of the Invention

Method for Production of a Semiconductor Device

3. Amending Party

Name: Komatsu Electronic Metals Co., Ltd.

Address: 2612 Shinomiya  
Hiratsuka-shi, Kanagawa-ken

Representative: Kazuto TOGINO

[TRANSLATOR'S NOTE: The source text has no item no. 4 within this amendment of proceedings.]

5. Date of Amendment Order (shipping date)

March 3rd, 1990

6. Item to be Amended

Column of the simple explanation of figures of the specifications.

7. Content of Amendment

As per the separate sheet.

(Separate Sheet)

#### 4. Simple Explanation of Figures

Figure 1 is a drawing of metal decoration of a silicon wafer produced using the manufacturing method according to the present invention.

Figure 2 is a drawing of metal decoration of a silicon wafer produced using the conventional manufacturing method.

- 1 .... silicon wafer
- 2 .... epitaxial layer
- 3 .... defect
- 4 .... defect free layer

Applicant:                      Komatsu Electronic Metals Co., Ltd.



Amendment of Proceedings (formal)

December 19th, 1990

Commissioner of the Patent Office

1. Case Identification

Patent Filing No. Hei 1-323789

2. Title of the Invention

Method for Production of a Semiconductor Device

3. Amending Party

Name: Komatsu Electronic Metals Co., Ltd.

Address: 2612 Shinomiya  
Hiratsuka-shi, Kanagawa-ken

Representative: Kameto TOGINO

Telephone: 0463-23-1085

4. Date of Amendment Order (shipping date)

November 27th, 1990

5. Object of Amendment

Figure 1 and Figure 2 of the figures.

6. Content of Amendment

As per the separate sheet.

## MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP3185831  
 Publication date: 1991-08-13  
 Inventor(s): YAMAMOTO HIROAKI; others: 02  
 Applicant(s):: KOMATSU DENSHI KINZOKU KK  
 Requested Patent: ☐ JP3185831  
 Application Number: JP19890323789 19891215  
 Priority Number(s):  
 IPC Classification: H01L21/322 ; H01L21/205  
 EC Classification:  
 Equivalents:

### Abstract

**PURPOSE:**To form a nondefective layer also under the interface between a substrate and an epitaxial layer, by holding a semiconductor silicon substrate in a first specified temperature range, increasing the temperature at a specified rate, from the first temperature range to a second specified temperature range, and holding the substrate for a period shorter than or equal to a specified interval.  
**CONSTITUTION:**A semiconductor silicon substrate 1 is held for 8 hours or less in a first temperature range from 450 deg.C to 600 deg.C. The temperature is increased from the first temperature range to the second temperature range from 750 deg.C to 900 deg.C, at a rate of 5 deg.C/min. The substrate is held for 4 hours or less in the second temperature range. An epitaxial layer 2 is formed on the surface of the semiconductor silicon substrate 1 after the holding in the second temperature range is finished. That is, by setting the second temperature range to be from 750 deg.C to 900 deg.C, the size of a defect is restricted within a radius capable of dissolution and outward diffusion in the temperature range of a subsequent epitaxial process. Hence the dissolution and outward diffusion of defects are progressed. Thereby a nondefective layer 4 of about 10μm in thickness is formed under the interface between the substrate surface and the epitaxial layer.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-185831

⑮ Int.Cl.<sup>5</sup>

H 01 L 21/322  
21/205

識別記号

Y

庁内整理番号

7738-5F  
7739-5F

⑬ 公開 平成3年(1991)8月13日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 平1-323789

⑱ 出 願 平1(1989)12月15日

⑲ 発 明 者 山 本 博 昭 神奈川県平塚市四之宮812 湘南寮3-202  
⑲ 発 明 者 曾 我 昇 神奈川県平塚市徳延621-2 ビラサンロードC-102  
⑲ 発 明 者 赤 城 哲 郎 神奈川県平塚市山下635 コーポ高嶺201  
⑲ 出 願 人 小松電子金属株式会社 神奈川県平塚市四之宮2612番地

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1 半導体シリコン基板を450℃乃至600℃  
の第一の温度域で8時間以下保持する工程と、  
第一の温度域から、7-5-0℃乃至9-0-0℃の  
第二の温度域まで5℃/分以下の速度で昇温  
して、この第二の温度域で4時間以下保持す  
る工程と、第二の温度域での保持終了後の前  
記半導体シリコン基板表面に、エピタキシャ  
ル層を形成する工程とから成る半導体装置の  
製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造方法において、と  
くに半導体シリコン基板表面にエピタキシャル成

長を行なうものにあつて、成長に先立ち、基板に  
対し不純物等の除去のため施されるイントリンシ  
ック・ゲッタ(以下IGという)技術を用いた半  
導体装置の製造方法に関わる。

〔従来技術〕

従来、その表面にエピタキシャル成長を行なう  
半導体シリコン基板に適用される技術として、た  
とえば、特公昭62-16537号公報に開示されている  
ように、ゲッターサイトとして働く酸素析出核  
(以下欠陥という)を、デバイス作製領域に近く  
なるよう基板表層にまで形成させ、不純物の捕捉  
効果を高めたものがある。この従来技術は、基本  
的には欠陥が、エピタキシャル成長を行なう前の  
基板本体表面にまで達していることが重要な点で、  
この熱処理方法により、それまでエピタキシャル  
成長前に必要とされていたポリシング工程を省く  
ことができるようにしている。

〔発明が解決しようとする課題〕

しかしながら、前記従来技術による1000℃-130

0℃の熱処理工程後では、基板中に成長の進んだ欠陥が多く発生する。これらの欠陥の大きさは、次のエピタキシャル成長工程の温度範囲(1100-1200℃)で溶体化可能な臨界半径以上であるため、そのまま残存し、エピタキシャル層へ伝播する。いわゆる欠陥の突き抜け現象が起きる。そうして、結局は不良品を発生させることになる。

#### 〔課題を解決するための手段〕

本発明は、上記従来技術の欠点を解決すべくなされたもので、半導体装置の製造方法において、半導体シリコン基板を450℃乃至600℃の第一の温度域で8時間以下保持する工程と、第一の温度域から、750℃乃至900℃の第二の温度域まで5℃/分以下の速度で昇温して、この第二の温度域で4時間以下保持する工程と、第二の温度域での保持終了後の前記半導体シリコン基板表面に、エピタキシャル層を形成する工程とから成ることを特徴としている。

う。

このように、本発明は、エピタキシャル成長工程の雰囲気を利用して、基板本体表面に、エピタキシャル層と同時に無欠陥層をも形成するものである。

なお、第一の温度域(450℃乃至600℃)は、欠陥の核となる酸素析出核を作り込む温度として重要である。この温度域で8時間以下保持するのは、欠陥密度を確保するために必要なもので、8時間で、この密度がほぼ平衡に達するから、これ以上保持する必要はない。第二の温度域の750℃乃至900℃は、作り込まれた欠陥が臨界半径以上に成長しないために採用された温度域である。この温度域まで5℃/分以下で昇温していくのは、5℃/分を越える速度で急激に上げると、450℃～600℃の熱処理中に作り込んだ欠陥が成長できずに消失するおそれがある。さらに、第二の温度域で、4時間以下の保持にとどめるのは、作り込んだ欠陥のうち、次のエピタキシャル工程の温度雰囲気では、エピタキシャル層の界面下

#### 〔作用〕

本発明は、第二の温度域を750℃-900℃に設定することで、形成される欠陥の大きさを、次のエピタキシャル工程の温度範囲で溶体化や外方拡散可能な半径にとどめる。したがって、エピタキシャル工程では、欠陥の溶体化や外方拡散が行なわれる。これにより、基板表面にはエピタキシャル層との界面下にさらに、10 $\mu$ m程度の無欠陥層が形成される。

前記のように、もし第二の温度域を従来のように1000℃-1300℃にすれば、半導体基板中に生じる欠陥は、臨界半径を越えて成長が進み、その後のエピタキシャル工程の雰囲気では再び溶体化することがない。残存した欠陥は、エピタキシャル成長にともない伝播してしまう危険性が高い。これに対し、本発明に採用した、750℃-900℃の第二の温度域では、欠陥は基板全体に発生はするものの、十分に成長せず、したがって次のエピタキシャル成長の雰囲気では溶体化が起きたり、表面近傍にあるものは基板外へ拡散したりしてしま

近傍にあるものは消失するが、基板内部のものは消失しない程度にまで成長させるために必要となるからである。

#### 〔実施例1〕

酸素濃度 $14.0 \times 10^{17}$  atoms/cc [Old ASTM規格による]の鏡面シリコンウェーハを、第一の温度域(600℃)で4時間保持した後、第二の温度域(800℃)まで、0.5℃/分で昇温して、昇温後2時間保持した。さらに、上記条件で熱処理した鏡面ウェーハの上に5 $\mu$ mの厚さでシリコンエピタキシャル層を常法により成長させた。

こうして処理を終えたシリコンウェーハを、1000℃で16時間熱処理し、劈開して欠陥の観察を行った。

第1図は、この劈開面の拡大図である。第1図からも明らかなように、本実施例によるものは、エピタキシャル層の下、シリコン基板本体表面にも、無欠陥層が10-30 $\mu$ m、制御よく形成され、さらに基板内部には、ゲッタ効果を発揮する結晶欠

陥が十分に作られている。

#### 【実施例 2】

酸素濃度  $14.0 \times 10^{11}$  atoms/cc [Old ASTM規格による] のエッチドシリコンウェーハを、第一の温度域 (600℃) で 4 時間保持した後、第二の温度域 (800℃) まで、0.5℃/分で昇温して、昇温後 2 時間保持した。さらに、上記条件で熱処理したエッチドウェーハを  $15 \mu\text{m}$  鏡面研磨し、その上に  $5 \mu\text{m}$  の厚さでシリコンエピタキシャル層を常法により成長させた。

こうして処理を終えたシリコンウェーハを、1000℃で16時間熱処理し、劈開して欠陥の観察を行った。

結果は、実施例 1 と同様であった。

なお、上記 2 つの実施例のほかに、第一の温度域、第二の温度域、保持時間、及び第一の温度域から第二の温度域への昇温速度を、それぞれ本発明の構成に従って種々変化させて同様の処理を行ったが、上記 2 つの実施例とほぼ同様の結果が

陥の成長が進んで、サイズが巨大化し、エピタキシャル工程中にもエピタキシャル層との界面下に欠陥が残留し、最終的には無欠陥でなければならないエピタキシャル層にまで欠陥の突き抜けが起こることが分かる。

#### 【参考例 2】

酸素濃度  $18.0 \times 10^{11}$  atoms/cc [Old ASTM規格による] のエッチドシリコンウェーハを、第一の温度域 (600℃) で 4 時間保持した後、1000℃まで、0.5℃/分で昇温して、昇温後 2 時間保持した。さらに、上記条件で熱処理したエッチドウェーハを  $15 \mu\text{m}$  鏡面研磨し、その上に  $5 \mu\text{m}$  の厚さでシリコンエピタキシャル層を常法により成長させた。

こうして処理を終えたシリコンウェーハを、1000℃で16時間熱処理し、劈開して欠陥の観察を行った。

結果は、参考例 1 と同様であった。

なお、上記 2 つの参考例のほかに、第一の温度域、保持時間、及び第一の温度域から第二の温度

得られた。

#### 【参考例 1】

酸素濃度  $14.0 \times 10^{11}$  atoms/cc [Old ASTM規格による] の鏡面シリコンウェーハを、第一の温度域 (600℃) で 4 時間保持した後、1000℃まで、0.5℃/分で昇温して、昇温後 2 時間保持した。さらに、上記条件で熱処理した鏡面ウェーハの上に  $5 \mu\text{m}$  の厚さでシリコンエピタキシャル層を常法により成長させた。

こうして処理を終えたシリコンウェーハを、1000℃で16時間熱処理し、劈開して欠陥の観察を行った。

第 2 図は、この劈開面の拡大図である。第 2 図からも明らかなように、本参考例によるものは、エピタキシャル層より下の、基板本体表層の無欠陥層はほとんど形成されておらず、エピタキシャル層へ欠陥の突き抜けも多数見られる。

すなわち、この参考例のように、第 2 の温度域に相当する温度が、1000℃である場合は、結晶欠

陥への昇温速度を、それぞれ本発明の構成に従って種々変化させ、第二の温度域に当る温度を1000℃以上に設定して同様の処理を行ったが、上記 2 つの参考例とほぼ同様の結果が得られた。

#### 【発明の効果】

本発明の製造方法によれば、第二の温度域が 750℃乃至 900℃に設定されるため、欠陥のサイズが制御されし、次のエピタキシャル工程の温度雰囲気中で溶体化あるいは外方拡散して、エピタキシャル層との界面下にも無欠陥層を形成することができる。したがって、エピタキシャル層に欠陥の突き抜けも起きない。製品歩留が向上する結果、生産性も上がる。

#### 4. 図面の簡単な説明

第 1 図は、本発明による製造方法を用いて作製したシリコン基板の劈開断面拡大図。

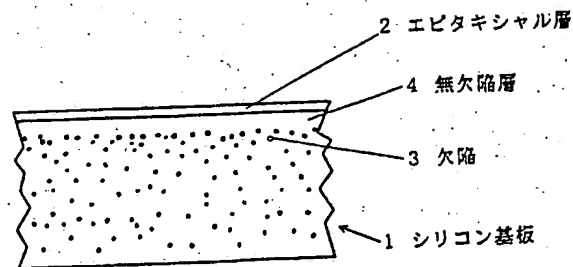
第 2 図は、従来の製造方法を用いて作製したシリコン基板の劈開断面拡大図。

- 1 . . . . . シリコン基板
- 2 . . . . . エピタキシャル層
- 3 . . . . . 欠陥
- 4 . . . . . 無欠陥層

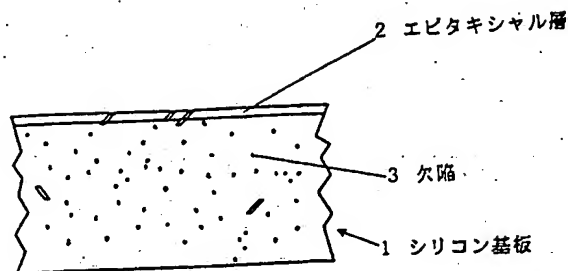
特許出願人 小松電子金属株式会社

(別 紙)

図面の浄書



第1図



第2図

手続補正書(方式)

(別紙)

平成2年8月2日

特許庁長官 殿

## 1. 事件の表示

平成1年特許願第323789号

## 2. 発明の名称

半導体装置の製造方法

## 3. 補正をする者

事件との関係 特許出願人

〒245

住所 神奈川県平塚市四之宮2612

名称 小松電子金属株式会社

代表者 研野和人

## 5. 補正命令の日付(発送日)

平成2年3月27日

## 6. 補正の対象

明細書の図面の簡単な説明の欄

## 7. 補正の内容

別紙のとおり

## 4. 図面の簡単な説明

第1図は、本発明による製造方法を用いて作製したシリコン基板の金属組織を示す図。

第2図は、従来の製造方法を用いて作製したシリコン基板の金属組織を示す図。

1.....シリコン基板

2.....エピタキシャル層

3.....欠陥

4.....無欠陥層

方式  
審査字  
井

特許出願人 小松電子金属株式会社

手続補正書(方式)

平成2年12月19日

特許庁長官 殿

## 1. 事件の表示

平成1年特許願第323789号

## 2. 発明の名称

半導体装置の製造方法

## 3. 補正をする者

事件との関係 特許出願人

〒254

住所 神奈川県平塚市四之宮2612番地

名称 小松電子金属株式会社

代表者 研野和人

☎ 0463-23-1085



## 4. 補正命令の日付(発送日)

平成2年11月27日

## 5. 補正の対象

図面の第1図及び第2図

方式  
審査字  
井

## 6. 補正の内容

別紙のとおり

